

Hepia

Cahier des charges

Lecteur RFID UHF V3 éducation

Passeri Gaetan
01/02/2022

1. Introduction

Dans le cadre du cours d'objets communicants donné au premier semestre par Mme Bechevet, il est nécessaire de produire une dizaine de lecteurs RFID UHF équipés d'une interface utilisateur directe pour un usage en laboratoire.

Le lecteur développé l'année passée à l'Hepia - dans sa version 2 actuelle - est un prototype qui a servi de preuve de concept (PoC).

En vue de le lancer en production, il est nécessaire d'en modifier la conception. Les modifications apportées viseront à :

- Faciliter le montage des PCB
- Réduire les coûts (composants et fabrication des PCB)
- Améliorer les performances du lecteur

D'autre part, certains composants sélectionnés lors de la conception ne sont plus disponibles à l'heure actuelle. Il faudra donc trouver des équivalences. Dans certains cas, le remplacement de composants entrainera des modifications au niveau du routage du PCB voir même au niveau du schéma électronique.

2. Travail à réaliser

2.1. Modification du schéma électronique

La première étape consiste à modifier le schéma électronique du lecteur mis à disposition sur le repo git du cours. Les modifications suivantes sont à apporter :

- Ajout d'une interface WIFI / Bluetooth
- Suppression des éléments de tests superflus

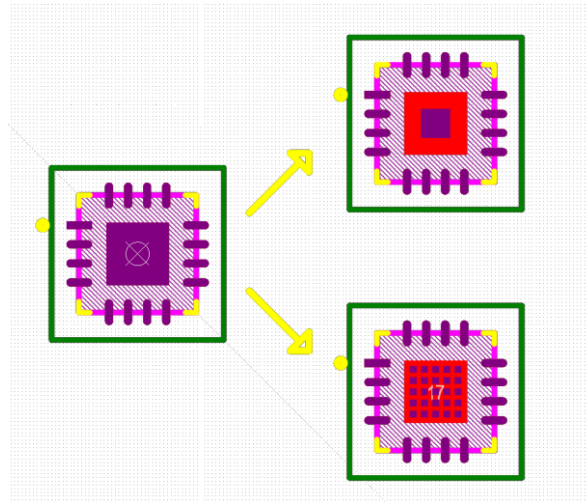
2.2. Recherche de composants

La recherche de composants est une étape importante pour toute conception électronique et ne doit pas être négligée. En plus des composants à ajouter au design, il sera nécessaire de compléter les références manquantes sur la BOM mise à disposition sur le repo git du cours. Les composants qui ne sont plus disponibles doivent être remplacés par des équivalences. Pour chaque composant remplacé, une étude de la documentation technique du composant choisi initialement devra être faite afin de respecter les besoins et contraintes lors du choix du composant de substitution.

Supplier Part Number 1	Supplier Unit Price 1	Tot price/pcb	Disponible	Commentaire	Equivalence	Qté Réceptionnée
581-0603YC104J4T4A	0.384	5.38	oui	déjà en stock au labo		
81-NFM18PS105R0J3D	0.15	0.30	oui			50
490-6975-1-ND	0.14	1.26	oui	commandé le 17.01.22		100
80-C0805X225J4RECAUT	0.675	4.73	oui			150
490-5482-1-ND	1.93	5.79	oui	commandé le 17.01.22		39
80-C0603X224J3RAUTO	0.553	0.55	non			
77-VJ0603Y103JXBAC	0.337	1.69	oui			100

2.3. Empruntes des composants

Des problèmes de courts-circuits ont été rencontrés lors du montage de certains composants sur le PCB du lecteur, notamment sur les circuits intégrés qui possèdent des pads thermiques centraux (type QFN ou DFN entre autres). Ce problème peut être évité en limitant la quantité de pâte à souder déposée sur ces pads thermiques. Pour ce faire, une méthode consiste à modifier le masque du composant. On peut imaginer par exemple un quadrillage ou simplement une ouverture de surface réduite au centre du pad.



2.4. Routage du PCB

Une fois le schéma modifié avec des composants disponibles sur le marché et des empruntes vérifiées, il s'agira de proposer une toute nouvelle conception de la carte en respectant les contraintes suivantes :

- Les dimensions de la carte doivent être inférieures ou égales à celles de la dernière version (130x90mm)
- Le PCB est conçu en quatre couches dont les deux couches externes sont réservées aux signaux, et les deux couches internes respectivement, à un plan de masse et un plan d'alimentation. Voir coupe ci-dessous :

	Top Overlay		Overlay				
	Top Solder	Solder Resist	...	Solder Mask		0.01016mm	3.5
1	Top Layer	CF-004	...	Signal	1oz	0.035mm	Above
	Dielectric 1	PP-016	...	Prepreg		0.11684mm	4.4
2	Ground Layer	CF-004	...	Signal	1oz	0.035mm	Above
	Dielectric 2	FR-4	...	Core		1.2mm	4.3
3	Power Layer	CF-004	...	Signal	1oz	0.035mm	Below
	Dielectric 3	PP-016	...	Prepreg		0.11684mm	4.4
4	Bottom Layer	CF-004	...	Signal	1oz	0.035mm	Below
	Bottom Solder	Solder Resist	...	Solder Mask		0.01016mm	3.5
	Bottom Overlay			Overlay			

- La partie RF de la carte - allant de la sortie du circuit ST25RU3993 (U8) au connecteur permettant de relier l'antenne - doit être protégée par un plan de masse séparé et adaptée à 50 ohms à l'aide d'une ligne coplanaire. L'outil **Layer stack manager** d'Altium Designer permet de calculer les contraintes de routage de façon automatique, après quoi il suffit de créer des règles spécifiques aux nets concernées. Il est aussi envisageable de prévoir une cage de Faraday recouvrant toute de cette partie du circuit.

- Le PCB développé doit respecter les règles de fabrications définies dans le fichier LecteurRfid.RUL (disponible sur le repo git).

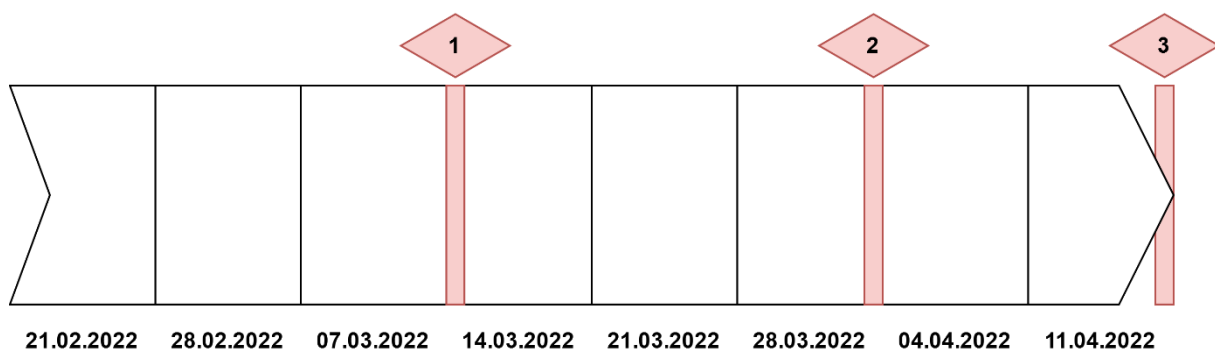
3. Documents à disposition

Vous trouverez sur le repo git du cours https://gitedu.hesge.ch/gaetan.passeri/isc_ise les éléments suivants relatifs à la version 2 de la carte

- La BOM
- Le schéma électronique
- Les librairies des composants utilisés

Il vous faudra créer un nouveau projet sur Altium Designer et y importer les librairies ainsi que le schéma. Dans un premier temps, vous n'aurez pas besoin du projet complet. Celui-ci sera ajouté par la suite et vous pourrez alors vous en inspirer pour votre routage.

4. Jalons



Numéro de Jalon	Date	Objectif
1	14 Mars 2022 (matin)	- Présentation des schémas + BOM - Commande des composants - Début des routages
2	28 Mars 2022 (au soir)	- Présentation des fichiers gerbers - Envoi des cartes en fabrication
3	11 Avril 2022	Dernier cours : - Un prototype monté par groupe - Rendu du rapport