

Périphérique d'un système informatique:

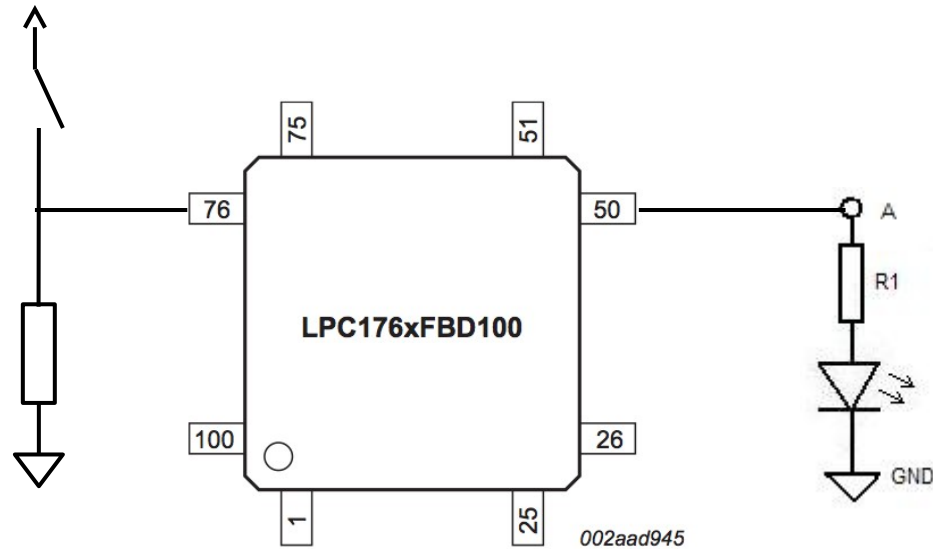
Etude du périphérique d'entrées et sorties numériques
*En anglais : **GPIO** (**G**eneral **P**urpose **I**nput **O**utput)*

Fabien Vannel, Vincent Pilloux
Isn, hepia

GPIO: description

- Définition: *General Purpose Input Output*
- Les GPIOs sont utilisés pour interagir avec du matériel véhiculant des informations **binares**
- Exemples où les GPIOs sont utilisés en **entrée** (*input*):
 - Détection de changement d'état (porte ouverte/fermée, pression sur un bouton)
 - Comptage d'événements binaires (compteur de vitesse d'un vélo)
 - La détection peut se faire sur un niveau (*level*) ou sur un changement de niveau (*edge*)
- Exemples où les GPIOs sont utilisés en **sortie** (*output*):
 - Allumer une led ou un circuit externe
 - Commander un relai
 - Simuler des protocoles de communication simples (par exemple sur un testeur)
 - Commander un moteur (si on a pas de PWM *Pulse-Width-Modulation*!)

GPIO: exemple typique



Interface programmable : GPIO

- Mode de fonctionnement pour le LPC1769
 - Chaque interface parallèle possède un accès à 32 bits en entrée ou sortie
 - Direction programmable pour chaque bit
 - Relecture de la direction
 - Un bit pour forcer une sortie à **1**
 - Un bit pour forcer une sortie à **0**
 - *Possibilité de configurer une interruption processeur sur les entrées (suite du cours)*

Registres du périphérique GPIO

- Le microcontrôleur LPC1769 possède 100 pins dont 70 entrées/sorties numériques (appelé **GPIO** : **G**eneral **P**urpose **I**nterface **O**utput)
 - Réparties sur 5 ports P0 à P4 de maximum 32 entrées/sorties, soit:
 - P0.0 à P0.31
 - P1.0 à P1.31
 - P2.0 à P2.31
 - P3.0 à P3.31
 - P4.0 à P4.31
- Plusieurs pins ne sont pas existante. Il faut se référer à la documentation technique du LPC1769
- Suivant le mode choisi, ces mêmes pins peuvent avoir une autre fonctionnalité (voir documentation)

LPC1769, modes des pins

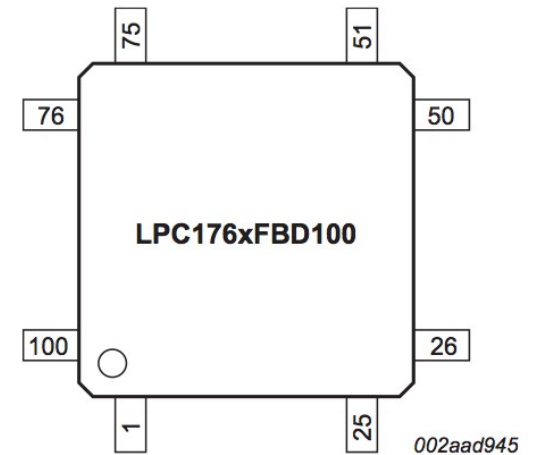


Table 4. Pin description

Symbol	Pin	Ball	Type	Description
P0[0] to P0[31]			I/O	Port 0: Port 0 is a 32-bit I/O port with individual direction controls for each bit. The operation of port 0 pins depends upon the pin function selected via the pin connect block. Pins 12, 13, 14, and 31 of this port are not available.
P0[0]/RD1/TXD3/SDA1	46 ^[1]	K8 ^[1]	I/O	P0[0] — General purpose digital input/output pin.
			I	RD1 — CAN1 receiver input. (LPC1769/68/66/65/64 only).
			O	TXD3 — Transmitter output for UART3.
			I/O	SDA1 — I ² C1 data input/output. (This is not an I ² C-bus compliant open-drain pin).
P0[1]/TD1/RXD3/SCL1	47 ^[1]	J8 ^[1]	I/O	P0[1] — General purpose digital input/output pin.
			O	TD1 — CAN1 transmitter output. (LPC1769/68/66/65/64 only).
			I	RXD3 — Receiver input for UART3.
			I/O	SCL1 — I ² C1 clock input/output. (This is not an I ² C-bus compliant open-drain pin).
P0[2]/TXD0/AD0[7]	48 ^[1]	C4 ^[2]	I/O	P0[2] — General purpose digital input/output pin.

Registres du périphérique GPIO

Table 101. GPIO register map (local bus accessible registers - enhanced GPIO features)

Generic Name	Description	Access	Reset value ^[1]	PORTn Register Name & Address
FIODIR	Fast GPIO Port Direction control register. This register individually controls the direction of each port pin.	R/W	0	FIO0DIR - 0x2009 C000 FIO1DIR - 0x2009 C020 FIO2DIR - 0x2009 C040 FIO3DIR - 0x2009 C060 FIO4DIR - 0x2009 C080
FIOMASK	Fast Mask register for port. Writes, sets, clears, and reads to port (done via writes to FIOPIN, FIOSET, and FIOCLR, and reads of FIOPIN) alter or return only the bits enabled by zeros in this register.	R/W	0	FIO0MASK - 0x2009 C010 FIO1MASK - 0x2009 C030 FIO2MASK - 0x2009 C050 FIO3MASK - 0x2009 C070 FIO4MASK - 0x2009 C090
FIOPIN	Fast Port Pin value register using FIOMASK. The current state of digital port pins can be read from this register, regardless of pin direction or alternate function selection (as long as pins are not configured as an input to ADC). The value read is masked by ANDing with inverted FIOMASK. Writing to this register places corresponding values in all bits enabled by zeros in FIOMASK. Important: if an FIOPIN register is read, its bit(s) masked with 1 in the FIOMASK register will be read as 0 regardless of the physical pin state.	R/W	0	FIO0PIN - 0x2009 C014 FIO1PIN - 0x2009 C034 FIO2PIN - 0x2009 C054 FIO3PIN - 0x2009 C074 FIO4PIN - 0x2009 C094
FIOSET	Fast Port Output Set register using FIOMASK. This register controls the state of output pins. Writing 1s produces highs at	R/W	0	FIO0SET - 0x2009 C018 FIO1SET - 0x2009 C038

Adresse

Nom associé

Nom générique

Type d'accès

FIODIR

Nom du registre

Valeur au Reset

Table 103. Fast GPIO port Direction register FIO0DIR to FIO4DIR - addresses 0x2009 C000 to 0x2009 C080) bit description

Bit	Symbol	Value	Description	Reset value
31:0	FIO0DIR FIO1DIR FIO2DIR FIO3DIR FIO4DIR		Fast GPIO Direction PORTx control bits. Bit 0 in FIOxDIR controls pin Px.0, bit 31 in FIOxDIR controls pin Px.31.	0x0
		0	Controlled pin is input.	
		1	Controlled pin is output.	

Bits concernés (ici de 31 à 0, soit les 32 bits du registre)

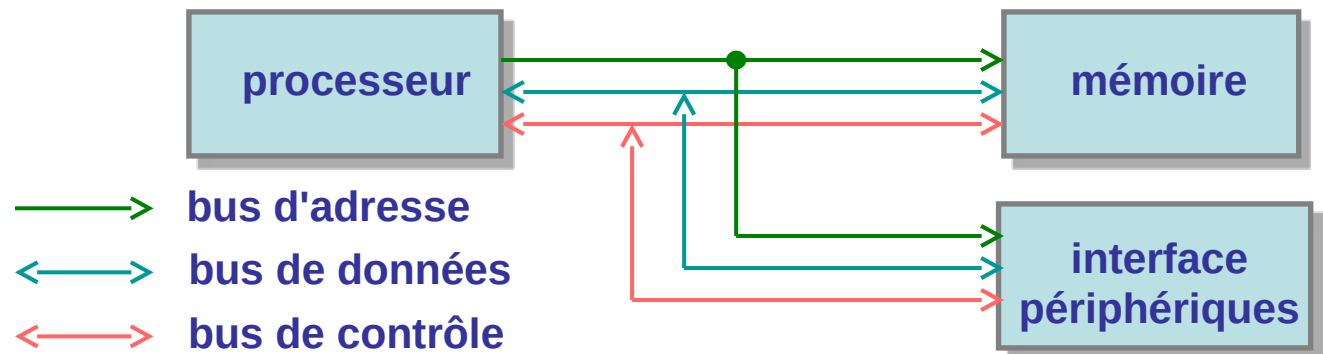
- 5 Registres nommés FIO0DIR, FIO1DIR, FIO2DIR, FIO3DIR, FIO4DIR.
 - Chaque registre contrôle la direction de 32 E/S numériques.
 - bit à 0 = Entrée
 - bit à 1 = Sortie
 - Valeur lors du Reset (démarrage du processeur) = 0, soit chaque E/S est positionnée en entrée.

FIOSET, FIOCLR, FIOPIN, FIOMASK

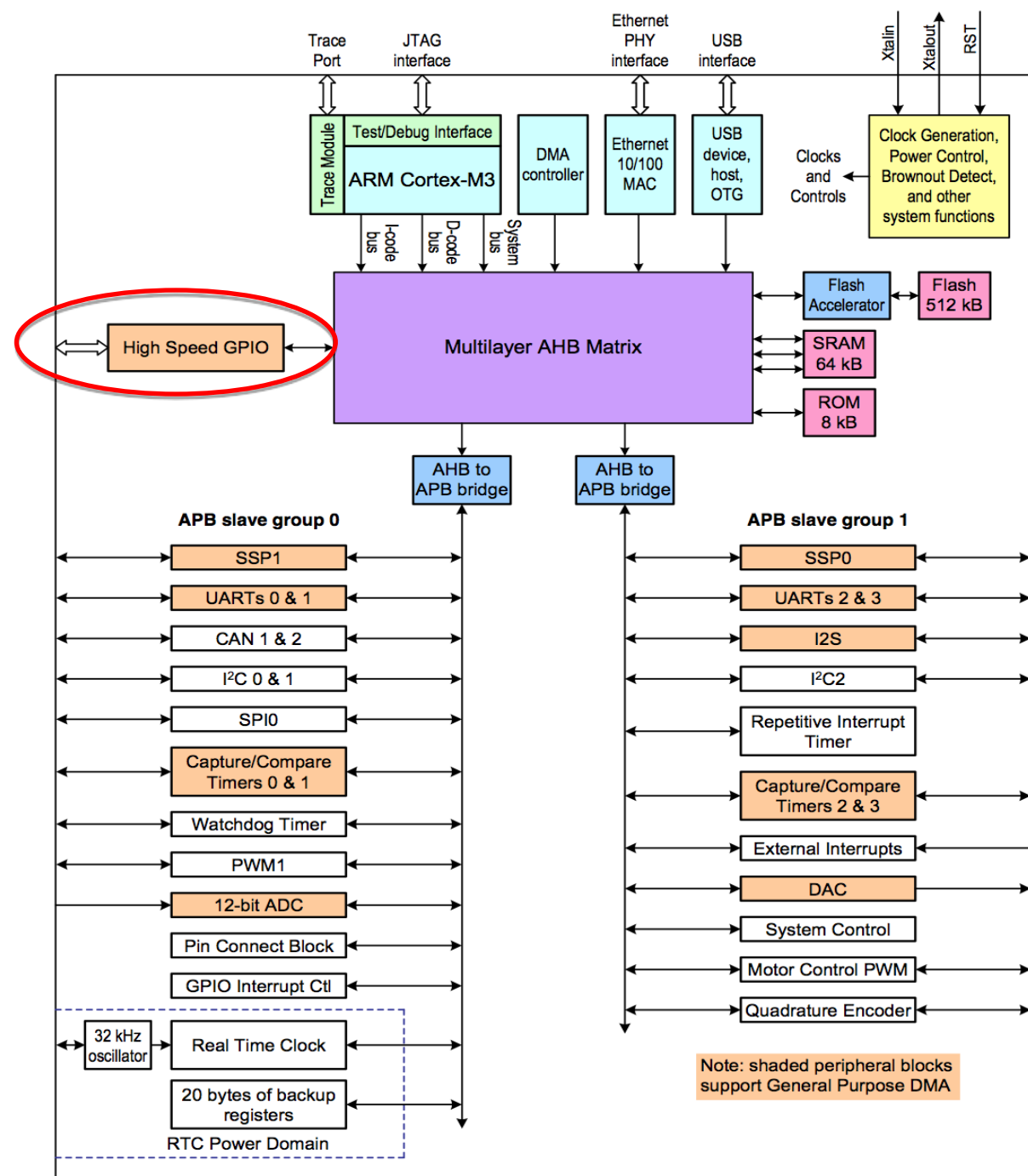
- FIOSET comprend FIO0SET, FIO1SET, FIO2SET, FIO3SET et FIO4SET
 - Un bit à **1** dans le registre met la sortie correspondante à l'état '**1**' (à condition que l'E/S soit configurée en Sortie).
 - Un bit à **0** dans le registre n'a pas d'effet sur l'E/S correspondante.
- FIOCLR (FIO0CLR, FIO1CLR, FIO2CLR, FIO3CLR et FIO4CLR)
 - Un bit à **1** dans le registre met la sortie correspondante à l'état '**0**' (à condition que l'E/S soit configurée en Sortie).
 - Un bit à **0** dans le registre n'a pas d'effet sur l'E/S correspondante.
- FIOPIN (FIO0PIN, FIO1PIN, FIO2PIN, FIO3PIN et FIO4PIN)
 - Lecture: lit l'état de l'E/S.
 - 1 correspond à '1' sur le port d'E/S correspondant.
 - 0 correspond à '0' sur le port d'E/S correspondant.
 - Ecriture: écriture de l'état du port (seulement pour sortie)
 - 1 correspond à '1' sur le port d'E/S correspondant. (si configuré en sortie)
 - 0 correspond à '0' sur le port d'E/S correspondant. (si configuré en sortie)
- FIOMASK (FIO0MASK, FIO1MASK, FIO2MASK, FIO3MASK et FIO4MASK)
 - Permet de manipuler des bits spécifiques lors de l'utilisation de FIOPIN en écriture. Même principe en lecture ou lors de l'utilisation de FIOSET, FIOCLR

Accès aux périphériques

- Sur un système informatique les périphériques sont toujours contrôlés par le processeur.
- La connexion entre processeur et périphériques se fait à travers des interfaces programmables accessibles via le bus mémoire.
- Chaque interface est vu par le processeur comme une partie de la mémoire et doit être identifié par une plage d'adresses.
- Un ensemble de registres de données et de contrôle permettent de communiquer avec l'interface des périphériques.



- LPC1769

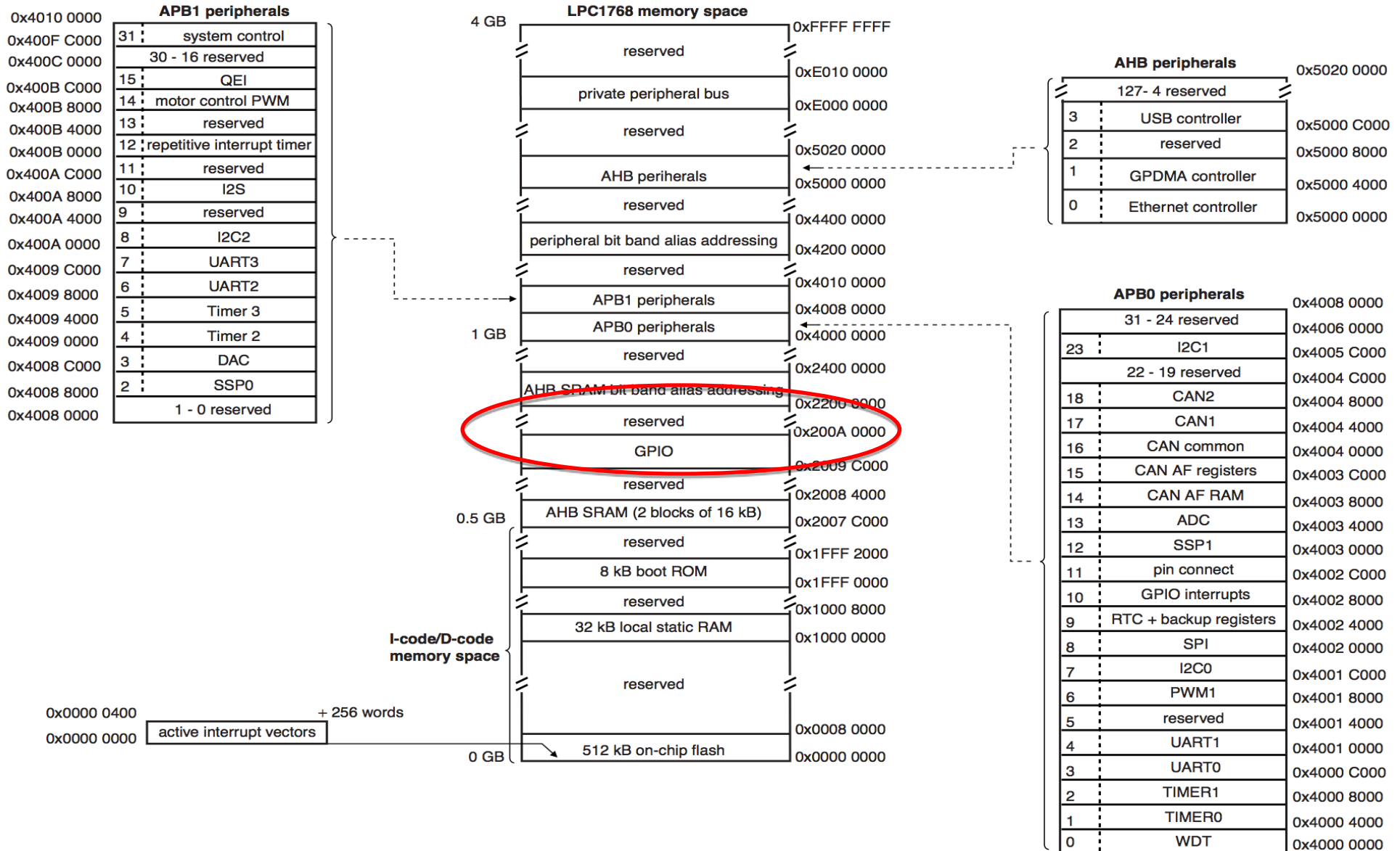


Plan mémoire

Table 3. LPC17xx memory usage and details

Address range	General Use	Address range details and description	
0x0000 0000 to 0x1FFF FFFF	On-chip non-volatile memory	0x0000 0000 - 0x0007 FFFF	For devices with 512 kB of flash memory.
		0x0000 0000 - 0x0003 FFFF	For devices with 256 kB of flash memory.
		0x0000 0000 - 0x0001 FFFF	For devices with 128 kB of flash memory.
		0x0000 0000 - 0x0000 FFFF	For devices with 64 kB of flash memory.
		0x0000 0000 - 0x0000 7FFF	For devices with 32 kB of flash memory.
	On-chip SRAM	0x1000 0000 - 0x1000 7FFF	For devices with 32 kB of local SRAM.
		0x1000 0000 - 0x1000 3FFF	For devices with 16 kB of local SRAM.
		0x1000 0000 - 0x1000 1FFF	For devices with 8 kB of local SRAM.
	Boot ROM	0x1FFF 0000 - 0x1FFF 1FFF	8 kB Boot ROM with flash services.
0x2000 0000 to 0x3FFF FFFF	On-chip SRAM (typically used for peripheral data)	0x2007 C000 - 0x2007 FFFF	AHB SRAM - bank 0 (16 kB), present on devices with 32 kB or 64 kB of total SRAM.
		0x2008 0000 - 0x2008 3FFF	AHB SRAM - bank 1 (16 kB), present on devices with 64 kB of total SRAM.
	GPIO	0x2009 C000 - 0x2009 FFFF	GPIO.
0x4000 0000 to 0x5FFF FFFF	APB Peripherals	0x4000 0000 - 0x4007 FFFF	APB0 Peripherals, up to 32 peripheral blocks, 16 kB each.
		0x4008 0000 - 0x400F FFFF	APB1 Peripherals, up to 32 peripheral blocks, 16 kB each.
	AHB peripherals	0x5000 0000 - 0x501F FFFF	DMA Controller, Ethernet interface, and USB interface.
0xE000 0000 to 0xE00F FFFF	Cortex-M3 Private Peripheral Bus	0xE000 0000 - 0xE00F FFFF	Cortex-M3 related functions, includes the NVIC and System Tick Timer.

LPC1769 – plan mémoire



Exemple : GPIO (General Purpose Input Output)

Table 101. GPIO register map (local bus accessible registers - enhanced GPIO features)

Generic Name	Description	Access	Reset value ^[1]	PORTn Register Name & Address
FIODIR	Fast GPIO Port Direction control register. This register individually controls the direction of each port pin.	R/W	0	FIO0DIR - 0x2009 C000 FIO1DIR - 0x2009 C020 FIO2DIR - 0x2009 C040 FIO3DIR - 0x2009 C060 FIO4DIR - 0x2009 C080
FIOMASK	Fast Mask register for port. Writes, sets, clears, and reads to port (done via writes to FIOPIN, FIOSET, and FIOCLR, and reads of FIOPIN) alter or return only the bits enabled by zeros in this register.	R/W	0	FIO0MASK - 0x2009 C010 FIO1MASK - 0x2009 C030 FIO2MASK - 0x2009 C050 FIO3MASK - 0x2009 C070 FIO4MASK - 0x2009 C090
FIOPIN	Fast Port Pin value register using FIOMASK. The current state of digital port pins can be read from this register, regardless of pin direction or alternate function selection (as long as pins are not configured as an input to ADC). The value read is masked by ANDing with inverted FIOMASK. Writing to this register places corresponding values in all bits enabled by zeros in FIOMASK. Important: if an FIOPIN register is read, its bit(s) masked with 1 in the FIOMASK register will be read as 0 regardless of the physical pin state.	R/W	0	FIO0PIN - 0x2009 C014 FIO1PIN - 0x2009 C034 FIO2PIN - 0x2009 C054 FIO3PIN - 0x2009 C074 FIO4PIN - 0x2009 C094
FIOSET	Fast Port Output Set register using FIOMASK. This register controls the state of output pins. Writing 1s produces highs at the corresponding port pins. Writing 0s has no effect. Reading this register returns the current contents of the port output register. Only bits enabled by 0 in FIOMASK can be altered.	R/W	0	FIO0SET - 0x2009 C018 FIO1SET - 0x2009 C038 FIO2SET - 0x2009 C058 FIO3SET - 0x2009 C078 FIO4SET - 0x2009 C098
FIOCLR	Fast Port Output Clear register using FIOMASK. This register controls the state of output pins. Writing 1s produces lows at the corresponding port pins. Writing 0s has no effect. Only bits enabled by 0 in FIOMASK can be altered.	WO	0	FIO0CLR - 0x2009 C01C FIO1CLR - 0x2009 C03C FIO2CLR - 0x2009 C05C FIO3CLR - 0x2009 C07C FIO4CLR - 0x2009 C09C